

PAT-NO: JP407273069A

DOCUMENT-IDENTIFIER: JP 07273069 A

TITLE: MANUFACTURE OF GALLIUM NITRIDE
COMPOUND SEMICONDUCTOR
CHIP

PUBN-DATE: October 20, 1995

INVENTOR-INFORMATION:

NAME

YAMADA, MOTOKAZU

NAKAMURA, SHUJI

ASSIGNEE-INFORMATION:

NAME

NICHIA CHEM IND LTD

COUNTRY

N/A

APPL-NO: JP06062229

APPL-DATE: March 31, 1994

INT-CL (IPC): H01L021/301

ABSTRACT:

PURPOSE: To obtain small size chips with a high yield when a gallium nitride compound semiconductor wafer is divided into chips.

CONSTITUTION: A gallium nitride compound semiconductor layer is built up on a sapphire substrate surface to obtain a wafer which is divided into chips. A process in which holes 3 are formed in the gallium nitride compound semiconductor layer by etching, a process in which the sapphire substrate side of the wafer is scribed so as to have the holes 3 on scribe

lines 4 and a
process in which the wafers are separated into chips along
the scribe lines 4
after scribing the wafer.

COPYRIGHT: (C) 1995, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273069

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl.⁶
H 0 1 L 21/301

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/ 78

L
S

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21) 出願番号 特願平6-62229

(22) 出願日 平成6年(1994)3月31日

(71) 出願人 000226057

日亜化学工業株式会社

徳島県阿南市上中町岡491番地100

(72) 発明者 山田 元量

徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(72) 発明者 中村 修二

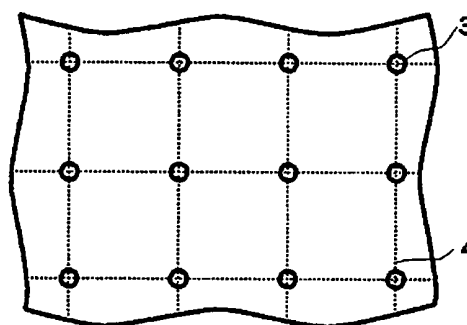
徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内

(54) 【発明の名称】 窒化ガリウム系化合物半導体チップの製造方法

(57) 【要約】

【目的】 窒化ガリウム系化合物半導体ウェーハをチップ状に分離するにあたり、歩留よく小サイズのチップを得る。

【構成】 サファイア基板1表面に窒化ガリウム系化合物半導体層2が積層されてなるウェーハをチップ状に分離する方法において、窒化ガリウム系化合物半導体層2にエッチングにより孔3を形成する工程と、その孔3の位置がスクライブライン4の線上と一致するように前記サファイア基板1側をスクライプする工程と、スクライプ後、スクライブライン4に沿ってウェーハをチップ状に分離する工程とを具備する。



【特許請求の範囲】

【請求項1】 サファイア基板表面に窒化ガリウム系化合物半導体層が積層されてなるウェーハをチップ状に分離する方法において、前記窒化ガリウム系化合物半導体層にエッチングにより孔を形成する工程と、その孔の位置がスクライブラインの線上と一致するように前記サファイア基板面側をスクライブする工程と、スクライブ後、スクライブラインに沿ってウェーハをチップ状に分離する工程とを具備することを特徴とする窒化ガリウム系化合物半導体チップの製造方法。

【請求項2】 前記孔をサファイア基板に達する深さ以上で形成することを特徴とする請求項1に記載の窒化ガリウム系化合物半導体チップの製造方法。

【請求項3】 前記サファイア基板をスクライブする前に、サファイア基板を研磨して基板の厚さを $200\mu\text{m}$ 以下に調整する工程を備えることを特徴とする請求項1または請求項2記載の窒化ガリウム系化合物半導体発光チップの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は発光素子、受光素子に用いられる窒化ガリウム系化合物半導体チップの製造方法に係り、特にサファイア基板表面に窒化ガリウム系化合物半導体 ($\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x+y \leq 1$) が積層されてなる窒化ガリウム系化合物半導体ウェーハをチップ状に分離する方法に関する。

【0002】

【従来の技術】窒化ガリウム系化合物半導体チップは紫外〜赤色の発光素子、または受光素子として使用し得ることが知られている。また本出願人は昨年11月下旬、窒化ガリウム系化合物半導体を青色発光チップとする世界で初めての1cd青色LEDを発表した。

【0003】一般に窒化ガリウム系化合物半導体チップはサファイア基板の上に少なくともn型層とp型層の窒化ガリウム系化合物半導体が積層されたウェーハよりなり、そのウェーハの窒化ガリウム系化合物半導体層側、またはサファイア基板側をダイシング、あるいはスクライビングして細かく分離することによりチップが得られる。

【0004】

【発明が解決しようとする課題】ところが、窒化ガリウム系化合物半導体ウェーハはサファイアおよび窒化ガリウム系化合物半導体というへき開性のない材料で構成されており、またサファイアもモース硬度9以上とダイヤモンドに近い非常に硬い物質であるため、チップ状にするのは非常に困難であった。

【0005】この問題を解決するため、我々は先に特開平5-166923号、特開平5-315646号、特開平5-343742号等において窒化ガリウム系化合物半導体ウェーハを歩留よくチップ状に分離する方法を

示した。実際、これらの方法により、窒化ガリウム系化合物半導体ウェーハから例えば $500\mu\text{m}$ 角以下のチップが歩留よく得られるようになってきた。

【0006】窒化ガリウム系化合物半導体よりなる青色LEDが実現された現在、次なるデバイスとしてはチップLEDを利用したフルカラーディスプレイの実現が待たれる。ディスプレイのようなチップLEDを用いたデバイスでは、多数のチップLEDを必要とし、しかも高精細度の画面を得るためには小さいサイズ（例えば $350\mu\text{m}$ 角以下）のチップが必要となる。

【0007】従って本発明はこのような事情を鑑み成されたものであり、その目的とするところは、窒化ガリウム系化合物半導体ウェーハをチップ状に分離するにあたり、歩留よく小サイズのチップを得ることを目的とする。

【0008】

【課題を解決するための手段】本発明の窒化ガリウム系化合物半導体チップの製造方法は、サファイア基板表面に窒化ガリウム系化合物半導体層が積層されてなる窒化ガリウム系化合物半導体ウェーハをチップ状に分離する方法において、前記窒化ガリウム系化合物半導体層側にエッチングにより孔を形成する工程と、その孔の位置がスクライブラインの線上と一致するように前記サファイア基板面側をスクライブする工程と、スクライブ後、スクライブラインに沿ってウェーハをチップ状に分離する工程とを具備することを特徴とする。

【0009】本発明の製造方法の一工程において得られるウェーハの断面図を図1に示す。この図はサファイア基板1表面に窒化ガリウム系化合物半導体層2を積層したウェーハの、その窒化ガリウム系化合物半導体層2にエッチングにより孔3を形成した状態を示している。孔3の大きさは、例えば所望とするチップ面積の $1/10$ 以下であることが好ましく、それより大きいと単位チップあたりの窒化ガリウム系化合物半導体層2の面積が少なくなるので余り好ましいとは言えない。また孔3の形状は特に限定するものではなく、図3に示すような円形、図4に示すような多角形としてもよい。孔3を形成するにはエッチングで形成する必要がある。なぜなら他の方法では数 μm という細かい孔を形成することが困難であるからである。エッチングはドライエッチング、ウェットエッチングいずれの方法を用いてもよい。なお、孔3を形成する前に、窒化ガリウム系化合物半導体層2を選択エッチする必要性から、その表面に窒化ケイ素、二酸化ケイ素等の材料よりなる所定の形状のマスクを形成することはいうまでもない。

【0010】孔3は、その深さが窒化ガリウム系化合物半導体層2を貫通してサファイア基板1に達する深さ以上でエッチングする方が好ましい。なぜなら、孔3の深さを窒化ガリウム系化合物半導体層2の途中で止めると、後にウェーハをスクライブラインに沿ってチップ状

に分離する工程において、サファイア基板側に形成したスクライブラインと、孔3の位置(孔3の底部)とが一致した線で割れにくくなって、窒化ガリウム系化合物半導体層2にチップングが発生しやすくなり、チップの歩留が低下する傾向にあるからである。さらにエッチングにより形成した孔3の窒化ガリウム系化合物半導体層の端面は、スクライブ、ダイシング等の方法により形成したものよりも、窒化ガリウム系化合物半導体層2にダメージを与えにくいため、例えば発光素子のチップを得た場合には発光出力の低下に与える影響を少なくすることができる。

【0011】図2は同じく本発明の製造方法の一工程において得られるウェーハの断面図であり、これは図1で示すウェーハのサファイア基板側1をスクライブしてスクライブライン4を入れた状態を示している。図2に示すように、スクライブライン4と孔3との位置を一致させなければ、所定の形状のチップを得ることは不可能である。またスクライブはダイシングに比べてその刃先が格段に細いため、サファイアを削り取る体積が少なく済む。従って収率を上げるためにはスクライブを用いる必要がある。

【0012】また本発明の製造方法において、サファイア基板1をスクライブする前にそのサファイア基板1を研磨して基板1の厚さを200 μ m以下、さらに好ましくは150 μ m以下に調整することが好ましい。なぜなら、窒化ガリウム系化合物半導体ウェーハはおよそ400~500 μ m厚のサファイア基板と、わずか数 μ m厚の窒化ガリウム系化合物半導体層から構成されており、そのほとんどがサファイア基板の厚さで占められている。またスクライブ深さはせいぜい数 μ m程度の深さにまでしか到達しないため、サファイア基板の厚さが厚すぎると、前記のようにサファイア基板はへき開性を有していないため、所定の位置、つまり孔の位置とスクライブラインの位置とが一致した線で分離しにくくなる傾向にあるからである。サファイア基板の厚さの下限値は特に限定しないが、50 μ m以上が好ましい。50 μ mよりも薄いと、窒化ガリウム系化合物半導体ウェーハは互いに膨張率の異なる材料の上に積層したヘテロエピであるため、その膨張率の違いによりウェーハが割れやすくなる傾向にある。

【0013】図3は図2で示すウェーハを窒化ガリウム系化合物半導体層2側から見た平面図である。破線はサファイア基板1側に形成したスクライブラインを示している。この図はスクライブライン4の交点と、その交点の真上にある孔3の位置とを一致させたことを示す。つまり四角形のチップの四隅となる位置に孔を形成している。このように好ましくスクライブライン4の交点と孔3の形成位置とを一致させることにより、実質的に窒化ガリウム系化合物半導体の切りしろがなくなるので多くのチップを得ることができる。

【0014】図4は本発明の一工程において、窒化ガリウム系化合物半導体層2に形成する孔3の形状を示す平面図である。このように孔を多角形としてもよいことは言うまでもない。多角形とした場合、この図に示すように互いの多角形の角と角とが対向するように孔を形成すると、その角の間で直線的に割れやすくなり好都合である。なおこの図において、破線は図3と同様にサファイア基板側のスクライブラインを示している。

【0015】窒化ガリウム系化合物半導体層2側に孔3を形成する工程と、サファイア基板1にスクライブライン4を入れる工程とはその順序を問わない。またチップを分離するには例えばサファイア基板側、あるいは窒化ガリウム系化合物半導体層側からローラー等で押し割ることにより簡単に分離できる。

【0016】

【作用】本発明では、ウェーハの窒化ガリウム系化合物半導体層側にエッチングで孔を形成し、一方サファイア基板側にスクライブでスクライブラインを入れる。この孔がスクライブラインの線上に一致して位置していることにより、孔の底面とスクライブラインのV字型の底との間ではほぼ直線的にウェーハを分離してチップが得られる。また、孔をサファイア基板側に達する深さ以上で形成すると、窒化ガリウム系化合物半導体層にクラックが入りにくくなり、好ましく分離できる。さらにまた、スクライブラインを入れる前に、サファイア基板を200 μ m厚以下に研磨して薄くすると基板が割れやすくなり、所望のサイズで好ましく分離できる。

【0017】

【実施例】

【実施例1】厚さ500 μ m、2インチ ϕ のサファイア基板上にn型Ga_{0.9}N層を5 μ m、およびp型Ga_{0.9}N層を1 μ mの厚さで順に積層したウェーハを用意する。

【0018】次にこのウェーハのサファイア基板面をその基板の厚さが100 μ mになるまで研磨する。

【0019】研磨後、このウェーハのp型Ga_{0.9}N層表面にフォトリソグラフィ技術を用いSiO₂よりなるマスクを形成する。マスクは図3に示すパターンで、窒化ガリウム系化合物半導体に円形の孔を形成できるような形状とし、孔3の大きさは10 μ m ϕ 、孔と孔とのピッチは300 μ mとする。つまり、300 μ m角の四角形のチップの四隅に孔を形成する状態とする。そしてマスク形成後、ウェーハをエッチング装置に移送し、マスクを介して窒化ガリウム系化合物半導体層をエッチングする。

【0020】マスクに形成した孔のエッチング深さがサファイア基板に到達したのを確認した後、ウェーハを装置から取り出し、フッ酸に浸漬してマスクを除去する。

【0021】次に、ウェーハをスクライバーにセットし、サファイア基板面をスクライブする。但しスクライブラインが先ほど形成した10 μ m ϕ の大きさの孔の中

心を通るようにまっすぐスクライプし、直交するスクライプラインの交点はその交点の真上にある孔の中心をよ

うにスクライプする。但し、同一箇所のスクライプ回数は一回とする。
【0022】スクライプ後、ウェーハをスクライパーから取り外し、ローラーで押し割ることにより、 $300\mu\text{m}$ 角のチップを得る。以上のようにして2インチφのウェーハから $300\mu\text{m}$ 角のチップを得たところ、20000個のチップが得られ、チップの端面、窒化ガリウム系化合物半導体層にチップング、クラック等の発生がなく、発光素子として使用し得るものを選別したところ、歩留は98%以上であった。

【0023】〔実施例2〕実施例1において、窒化ガリウム系化合物半導体層に形成するマスクの形状を「 $10\mu\text{m}$ φの孔が基盤目状に無数に並んでおり、一升の大きさが $300\mu\text{m}$ である。」とする。つまり実施例1ではチップの四隅に孔を形成しマスクを用いたが、実施例2ではチップの辺となる位置に無数の孔を形成したマスクを用いる。

【0024】マスク形成して、窒化ガリウム系化合物半導体層を実施例1と同様にしてエッチング後、サファイア基板側を孔の位置とスクライプラインとが一致するようにスクライプする。この場合必ずしもスクライプラインの交点と、その真上にある孔の中心とは一致させなくてもよい。

【0025】後は実施例1と同様にしてローラーで押し割り、 $300\mu\text{m}$ 角のチップ18000個を得た。歩留

は98%以上であった。

【0026】

【発明の効果】以上説明したように本発明の方法によると、例えば $300\mu\text{m}$ 角という小さいサイズのチップでも歩留よく得ることができる。しかも特開平5-166923号では小サイズのチップを得るために同一箇所を何回もスクライプしなければならなかったが、本発明では一回のスクライプで所望のチップ形状に分離することができる。このように本発明によると、小サイズのチップが製造可能となるので、チップLEDを用いたディスプレイを実現する際、画面の解像度を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の方法の一工程において得られるウェーハの模式断面図。

【図2】 本発明の方法の一工程において得られるウェーハの模式断面図。

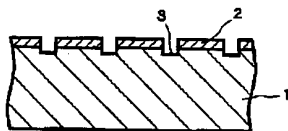
【図3】 図2のウェーハを窒化ガリウム系化合物半導体層側から見た平面図。

【図4】 本発明の方法の他の実施例において得られるウェーハを窒化ガリウム系化合物半導体層側から見た平面図。

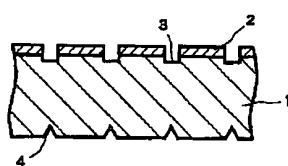
【符号の説明】

- 1・・・サファイア基板
- 2・・・窒化ガリウム系化合物半導体層
- 3・・・孔
- 4・・・スクライプライン

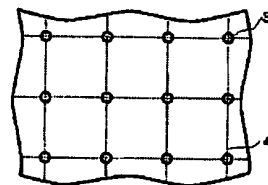
【図1】



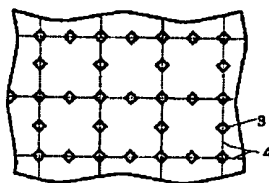
【図2】



【図3】



【図4】



PAT-NO: JP407273069A

DOCUMENT-IDENTIFIER: JP 07273069 A

TITLE: MANUFACTURE OF GALLIUM NITRIDE
COMPOUND SEMICONDUCTOR
CHIP

PUBN-DATE: October 20, 1995

INVENTOR-INFORMATION:

NAME

YAMADA, MOTOKAZU

NAKAMURA, SHUJI

ASSIGNEE-INFORMATION:

NAME

NICHIA CHEM IND LTD

COUNTRY

N/A

APPL-NO: JP06062229

APPL-DATE: March 31, 1994

INT-CL (IPC): H01L021/301

ABSTRACT:

PURPOSE: To obtain small size chips with a high yield when a gallium nitride compound semiconductor wafer is divided into chips.

CONSTITUTION: A gallium nitride compound semiconductor layer is built up on a sapphire substrate surface to obtain a wafer which is divided into chips. A process in which holes 3 are formed in the gallium nitride compound semiconductor layer by etching, a process in which the sapphire substrate side of the wafer is scribed so as to have the holes 3 on scribe

lines 4 and a
process in which the wafers are separated into chips along
the scribe lines 4
after scribing the wafer.

COPYRIGHT: (C)1995,JPO